

## 【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

## 【特許請求の範囲】

## 【請求項 1】

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路は前記Nチャネル型TFTのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 において、前記第1配線と前記第2配線とは電氣的に接続されていることを特徴とする半導体装置。

## 【請求項 3】

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路は前記Nチャネル型TFTのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする半導体装置。

## 【請求項 4】

請求項 3 において、前記第3導電層は、第1導電層または前記第2導電層よりも抵抗値が低いことを特徴とする半導体装置。

## 【請求項 5】

請求項 3 において、前記第1導電層または前記第2導電層は、タンタル（Ta）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わ

せた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項6】

請求項3において、前記第3導電層は、アルミニウムまたは銅を主成分とする膜であることを特徴とする半導体装置。

【請求項7】

Nチャネル型TFETで形成された画素TFETと保持容量とを有する画素マトリクス回路を含む半導体装置において、

前記画素TFETは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項8】

請求項7において、前記第1配線は接地電位またはソース電源電位に保持されることを特徴とする半導体装置。

【請求項9】

請求項7において、前記第1配線はフローティング電位に保持されることを特徴とする半導体装置。

【請求項10】

Nチャネル型TFETで形成された画素TFETを有する画素マトリクス回路を含む半導体装置において、

前記画素TFETは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする半導体装置。

【請求項11】

請求項10において、前記第3導電層は、前記第1導電層または前記第2導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項 1 2】

請求項 1 0 において、前記第 1 導電層または前記第 2 導電層は、タンタル (T a)、チタン (T i)、タングステン (W)、モリブデン (M o)、またはシリコン (S i) から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 0 において、前記第 3 導電層は、アルミニウムまたは銅を主成分とする導電膜であることを特徴とする半導体装置。

【請求項 1 4】

同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、

前記画素マトリクス回路に含まれる画素 T F T と前記ドライバー回路に含まれる N チャネル型 T F T とは、絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記画素 T F T に接続された第 1 配線は固定電位またはフローティング電位に保持され、前記ドライバー回路に含まれる N チャネル型 T F T に接続された第 1 配線は、該ドライバー回路に含まれる N チャネル型 T F T に接続された第 2 配線と同電位に保持されることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 4 において、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 4 において、前記第 2 配線は、第 1 導電層と第 2 導電層との積層構造からなる部分と、前記第 1 導電層と前記第 2 導電層とで第 3 導電層を包み込んだ構造からなる部分とを有することを特徴とする半導体装置。

【請求項 1 7】

請求項 1 4 において、前記第 3 導電層は、前記第 1 導電層または前記第 2 導電

層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項18】

請求項14において、前記第1導電層または前記第2導電層は、タンタル（Ta）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項19】

請求項14において、前記第3導電層は、アルミニウムまたは銅を主成分とする導電膜であることを特徴とする半導体装置。

【請求項20】

請求項1乃至請求項19に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型ELディスプレイであることを特徴とする半導体装置。

【請求項21】

請求項1乃至請求項19に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項22】

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に活性層を前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、

前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第2配線を形成する工程と、を有し、

前記第1配線は前記Nチャネル型TFTの活性層のみと交差するように形成さ

れることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 2 2 において、前記第 2 配線は、第 1 導電層と第 2 導電層との積層構造からなる部分と、前記第 1 導電層と前記第 2 導電層とで第 3 導電層を包み込んだ構造からなる部分とが形成されることを特徴とする半導体装置の作製方法。

【請求項 2 4】

Nチャネル型 T F T と Pチャネル型 T F T とで形成された C M O S 回路を含む半導体装置の作製方法において、

基板上に第 1 配線を形成する工程と、

前記第 1 配線の上に第 1 絶縁層を形成する工程と、

前記第 1 絶縁層の上に活性層を前記 Nチャネル型 T F T の活性層および前記 Pチャネル型 T F T の活性層を形成する工程と、

前記 Nチャネル型 T F T の活性層および前記 Pチャネル型 T F T の活性層を覆って第 2 絶縁層を形成する工程と、

前記第 2 絶縁層の上に第 1 導電層を形成する工程と、

前記第 1 導電層の上にパターン加工された第 3 導電層を形成する工程と、

前記第 3 導電層を覆って第 2 導電層を形成する工程と、を有し、

前記第 1 配線は前記 Nチャネル型 T F T の活性層のみと交差するように形成されることを特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 2 3 または請求項 2 4 において、前記第 3 導電層として、前記第 1 導電層または前記第 2 導電層よりも抵抗値が低い材料を用いることを特徴とする半導体装置の作製方法。

【請求項 2 6】

請求項 2 3 または請求項 2 4 において、前記第 1 導電層または前記第 2 導電層は、タンタル (T a)、チタン (T i)、タングステン (W)、モリブデン (M o)、またはシリコン (S i) から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜で形成されることを特徴とする半導体装置の作製方法。

## 【請求項 2 7】

請求項 2 3 または請求項 2 4 において、前記第 3 導電層は、アルミニウムまたは銅を主成分とする導電膜で形成されることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0 0 0 1】

## 【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

## 【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

## 【0 0 0 3】

## 【従来の技術】

薄膜トランジスタ（以下、T F T という）は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、A M－L C D という）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用した T F T は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

## 【0 0 0 4】

アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも 1 0 0 万個の T F T が必要になってくる。さらに機能回路を付加すると、それ以上の数の T F T が必要になり、液晶表示装置を安定に動作させるためには、個々の T F T の信頼性を確保して安定に動作させる必要があった。

## 【0 0 0 5】

ところが、T F T は必ずしも信頼性の面で単結晶半導体基板に作製される M O S F E T と同等ではないとされている。M O S F E T でも問題となっていたよう

に、TFTにおいても長期にわたって動作させると移動度やオン電流が低下するといった現象が起こる。このような現象がおこる原因の一つは、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化である。

#### 【0006】

一方、MOSFETでは、信頼性を向上させる技術として、LDD (Lightly Doped Drain) 構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。

#### 【0007】

さらにMOSFETでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる（重ならせる）構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD (Gate-drain Overlapped LDD) や、LATID (Large-tilt-angle implanted drain) と呼ばれる構造が知られている。このような構造とすることで、ホットキャリア耐性を高めることができた。

#### 【0008】

また、こういったMOSFETの構造をTFTに応用しようという試みもなされている。しかしながら、GOLD構造（本明細書中ではゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。逆にゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。）の場合、LDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまうという問題がある。そのため、AM-LCDの画素マトリクス回路のように、オフ電流を極力抑えたい回路に使うには不適切であった。

#### 【0009】

##### 【発明が解決しようとする課題】

本願発明では、AM-LCDの各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有するAM-LCDを提供することを目的とする。延いては、そのようなAM-LCDを有する半導体装置（電子機器）の信頼性を高めることを目的とする。

## 【0 0 1 0】

## 【課題を解決するための手段】

本明細書で開示する発明の構成は、

Nチャネル型T F TとPチャネル型T F Tとで形成されたC M O S回路を含む半導体装置において、

前記C M O S回路は前記Nチャネル型T F Tのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

## 【0 0 1 1】

上記構成において、前記第1配線と前記第2配線とは電氣的に接続されていても良い。即ち、第1配線と第2配線とが同電位となり、活性層に対して同じ電圧を印加する（加える）ことが可能となる。

## 【0 0 1 2】

また、他の発明の構成は、

Nチャネル型T F TとPチャネル型T F Tとで形成されたC M O S回路を含む半導体装置において、

前記C M O S回路は前記Nチャネル型T F Tのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする。

## 【0 0 1 3】

上記構成において、前記第3導電層は、第1導電層または前記第2導電層よりも抵抗値が低い材料を用いる。具体的には、前記第1導電層または前記第2導電層は、タンタル（T a）、チタン（T i）、タングステン（W）、モリブデン（M o）、またはシリコン（S i）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いることが好ましい。また



、前記第 3 導電層は、アルミニウムまたは銅を主成分とする膜を用いることが好ましい。

#### 【0 0 1 4】

また、他の発明の構成は、

Nチャネル型T F Tで形成された画素T F Tと保持容量とを有する画素マトリクス回路を含む半導体装置において、

前記画素T F Tは絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第 1 配線に重なり、且つ、前記第 2 配線に重ならないように形成されていることを特徴とする。

#### 【0 0 1 5】

なお、上記構成において、前記第 1 配線は接地電位またはソース電源電位に保持されていても良いし、フローティング電位に保持されていても良い。

#### 【0 0 1 6】

また、他の発明の構成は、

Nチャネル型T F Tで形成された画素T F Tを有する画素マトリクス回路を含む半導体装置において、

前記画素T F Tは絶縁層を介して第 1 配線および第 2 配線によって活性層が挟まれた構造を有し、

前記第 2 配線は、第 1 導電層と第 2 導電層との積層構造からなる部分と、前記第 1 導電層と前記第 2 導電層とで第 3 導電層を包み込んだ構造からなる部分とを有することを特徴とする。

#### 【0 0 1 7】

また、他の発明の構成は、

同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、

前記画素マトリクス回路に含まれる画素T F Tと前記ドライバー回路に含まれるNチャネル型T F Tとは、絶縁層を介して第 1 配線および第 2 配線によって活

性層が挟まれた構造を有し、

前記画素T F Tに接続された第1配線は固定電位またはフローティング電位に保持され、前記ドライバー回路に含まれるNチャネル型T F Tに接続された第1配線は、該ドライバー回路に含まれるNチャネル型T F Tに接続された第2配線と同電位に保持されることを特徴とする。

#### 【0018】

なお、上記構成において、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されている。

#### 【0019】

さらに、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有する。

#### 【0020】

また、他の発明の構成は、

Nチャネル型T F TとPチャネル型T F Tとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に活性層を前記Nチャネル型T F Tの活性層および前記Pチャネル型T F Tの活性層を形成する工程と、

前記Nチャネル型T F Tの活性層および前記Pチャネル型T F Tの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第2配線を形成する工程と、を有し、

前記第1配線は前記Nチャネル型T F Tの活性層のみと交差するように形成されることを特徴とする。

#### 【0021】

上記構成において、前記第2配線は、第1導電層と第2導電層との積層構造か

らなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とが形成される。

#### 【0022】

また、他の発明の構成は、

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に活性層を前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、

前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第1導電層を形成する工程と、

前記第1導電層の上にパターン加工された第3導電層を形成する工程と、

前記第3導電層を覆って第2導電層を形成する工程と、を有し、

前記第1配線は前記Nチャネル型TFTの活性層のみと交差するように形成されることを特徴とする。

#### 【0023】

##### 【発明の実施の形態】

##### 〔実施形態1〕

本願発明の実施の形態について、Nチャネル型TFT（以下、NTFTという）とPチャネル型TFT（以下、PTFTという）を組み合わせたCMOS回路（インバータ回路）を例にとって説明する。

#### 【0024】

なお、断面構造は図1（A）に示し、上面図は図1（B）に示す。また、図1（A）、（B）は同一の符号を用いて説明する。また、図1（B）のA-A'、B-B'、C-C'で切った時の断面図は図1（A）においてA-A'、B-B'、C-C'で示した各断面図に対応する。

#### 【0025】

まず、図1（A）において、101は基板、102a、102b、102cは第1配線、103は第1絶縁層、104はNTFTの活性層、105はPTFTの活性層、106は第2絶縁層である。

#### 【0026】

その上には第1導電層107a1、第2導電層107a2を積層してなる第2配線107a、同様に第1導電層107b1、第2導電層107b2を積層してなる第2配線107b、第1導電層107c1、第2導電層107c2を積層してなる第2配線107c、第1導電層107d1、第2導電層107d2で第3導電層d3を挟んだ構造からなる第2配線107dを有する。

#### 【0027】

また、108は第1層間絶縁層、109～111は第3配線であり、109、110がソース配線（ソース電極を含む）、111がドレイン配線（ドレイン電極を含む）である。

#### 【0028】

以上のような構造でなるCMOS回路において、基板101としてはガラス基板、石英基板、金属基板、ステンレス基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。シリコン基板を用いる場合は予めに表面を酸化して酸化珪素膜を設けておく和良好的。

#### 【0029】

また、第1配線は図1（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに102a、102b、102cに区別した。ここでは第1配線102aは活性層103との交差部、第1配線102bはTFT間の接続部、第1配線102cは各回路に共通の電源供給部を指し示している。

#### 【0030】

この時、第1配線102aはNTFTのサブゲート電極として機能する。即ち、チャネル形成領域112の電荷制御は第1配線102aと、第1配線102aと同電位である第2配線（メインゲート電極）107aとで行われ、第1配線102aのみがLDD領域113にゲート電圧（または所定の電圧）を印加することができるような構造となっている。

【0031】

従って、第2配線107aのみをゲート電極として機能させた場合はGOLD構造にならない(LDD構造となる)が、第1配線102aと組み合わせること  
で初めてGOLD構造を実現することができる。この構造の利点は後述するとし  
て、さらに、この第1配線102aは遮光層としての機能をも兼ねている。

【0032】

なお、第1配線の材料としては導電性を有していればどのような材料を用いて  
も構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であるこ  
とが望ましい。例えばタンタル(Ta)、チタン(Ti)、タングステン(W)  
、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分(成  
分比が50%以上)とする導電膜、或いは前記元素を組み合わせた合金膜やシリ  
サイド膜を用いても構わない。

【0033】

また、本実施形態の特徴としては、第1配線102aがNTFTのみに設けら  
れ、PTFTには設けられない点が挙げられる。図1(A)の場合、PTFTは  
オフセット領域もLDD領域も形成されていないが、どちらか一方または両方を  
備えていても構わない。

【0034】

このような構造であるため、図1(B)に示すように第1配線は電源供給部か  
ら接続部を経由してNTFTに至り、NTFTのサブゲート電極として機能する  
ことになる。

【0035】

また、第2配線も全て同一パターンからなる配線であるが、説明の便宜上、部  
分ごとに区別した。区別の仕方は第1配線とほぼ同様であり、図1(A)におい  
て、107aがNTFTの活性層104との交差部、107bがPTFTの活性層  
105との交差部、107cがTF T間の接続部、107dが電源供給部である。

【0036】

第2配線は基本的に二種類の導電層を積層して形成する。上層及び下層のどち  
らの導電層も導電性を有していればよく、タンタル(Ta)膜、チタン(Ti)

膜、タングステン (W) 膜、モリブデン (Mo) 膜、シリコン (Si) 膜を自由に組み合わせて形成することができる。また、これらの合金膜やシリサイド膜を用いても構わない。

【0037】

但し、積層した後で同一形状にパターニングが可能な材料を選択する必要がある。即ち、積層した後で一括にエッチングできるか、上層側をマスクにして下層側がエッチングできるような組み合わせが望ましい。また、下層に設ける導電層は第3導電層107d3とのエッチング選択比が確保されなければならない。

【0038】

第3導電層107d3はアルミニウム (Al) または銅 (Cu) を主成分 (成分比が50%以上をいう) とする導電層であり、第1導電層107d1、第2導電層107d2で包み込んだ構造 (以下、クラッド構造という) とすることで第2配線107dを形成している。この第2配線107dは電源供給部に相当する配線を形成する。

【0039】

CMOS回路はAM-LCDのドライバー回路やその他の信号処理回路として多用されるインバータ回路である。これらのドライバー回路や信号処理回路は高密度に集積化されているため、配線幅を極力細くすることが望まれる。従って、活性層との交差部 (ゲート電極部) や接続部 (配線の引き回し部) はなるべく細くするように設計する。また、これらの部分は配線自体の長さもさほど長くないので、配線抵抗の影響を受けにくい。

【0040】

しかしながら、電源供給部は配線自体の長さが長い場合、配線抵抗の影響を大きく受けてしまう。そのため、本実施形態では抵抗の低いアルミニウムや銅を主成分とする材料を用い、配線抵抗を軽減している。また、第2配線107dのような構造とすると多少配線幅が太くなってしまうが、電源供給部は複雑に集積化された回路の外に形成されるため問題とはならない。

【0041】

なお、対角4インチ以下のAM-LCDのように、全体的に回路が小さく極端

に長い配線がないような半導体装置に本願発明を用いる場合、電源供給部となる配線も短いため、必ずしも上述のクラッド構造を用いなくても良い。換言すれば、図1に示した構造は対角4インチ以上のAM-LCDに対して有効であるとも言える。

#### 【0042】

以上のように、本実施形態のCMOS回路の特徴としては以下の二つが上げられる。

1. NTFTのみに第1配線（サブゲート配線）が設けられ、第1配線に第2配線（メインゲート配線）と同じ電圧を印加するか、所定の電圧を印加することでNTFTをGOLD構造とすることができる。

2. 第2配線のゲート電極部や接続部は配線幅を細くして高集積化し、電源供給部は第1及び第2導電層で低抵抗な第3導電層を挟み込む構造（クラッド構造）とすることで低抵抗化することができる。

#### 【0043】

##### 〔実施形態2〕

本願発明の実施の形態について、NTFTを画素TFTとして用いた画素マトリクス回路を例にとって説明する。なお、この画素マトリクス回路は「実施形態1」で説明したCMOS回路と同一の基板上に同時に形成されるため、同一名称の配線に関する詳細は「実施形態1」の記載を参考にすれば良い。

#### 【0044】

なお、断面構造は図2（A）に示し、上面図は図2（B）に示す。また、図2（A）、（B）は同一の符号を用いて説明する。また、図2（B）のA-A'、B-B'で切った時の断面図は図2（A）においてA-A'、B-B'で示した各断面図に対応する。

#### 【0045】

まず、図2（A）において、201は基板、202a、202b、202cは第1配線、203は第1絶縁層、204は画素TFT（NTFT）の活性層、205は第2絶縁層である。なお、画素TFTはダブルゲート構造を例示しているが、シングルゲート構造でも良いし、三つ以上のTFTを直列に接続したマルチゲ

ート構造としても構わない。

#### 【0046】

第2絶縁層203の上には第1導電層206a1、第2導電層206a2で第3導電層206a3を挟んだ構造からなる第2配線206a、第1導電層206b1、第2導電層206b2を積層してなる第2配線206b、第1導電層206c1、第2導電層206c2を積層してなる第2配線206c、第1導電層207a、第2導電層207bを積層してなる容量配線207を有する。

#### 【0047】

この時、容量配線207は第1絶縁層205を誘電体として、活性層204（具体的にはドレイン領域から延在する領域）との間に保持容量を形成する。この際、第1絶縁層205を窒化珪素膜の上に酸化珪素膜を設けた積層構造としておき、保持容量となる部分の酸化珪素膜を選択的に除去した後で第2配線を形成すれば比誘電率の高い窒化珪素膜のみを誘電体とする保持容量を実現できる。

#### 【0048】

また、208は第1層間絶縁層、209、210は第3配線であり、209がソース配線（ソース電極を含む）、210がドレイン配線（ドレイン電極を含む）である。さらに、その上には第2層間絶縁層211、ブラックマスク212、第3層間絶縁層213、画素電極214が設けられる。

#### 【0049】

また、第1配線は図2（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに202a、202b、202cに区別した。ここでは第1配線202aはゲート電極として機能しない配線部、202b、202cは活性層204との交差部であり、ゲート電極部として機能する部分である。

#### 【0050】

なお、ここに示した第1配線は「実施形態1」で説明した第1配線と同時に形成される。従って、材料等の説明は省略する。

#### 【0051】

この時、第1配線202b、202cは画素TFTの遮光膜として機能する。即ち、「実施形態1」で説明したようなサブゲート配線としての機能はなく、固定



電位にしておくか、フローティング状態（電氣的に孤立した状態）にしておく。  
固定電位としては、接地電位かソース電源電位（ソース配線と同電位）にしておけば良い。そうすることでホットキャリア注入によって発生したホールをチャンネル形成領域から引き抜くことが可能となり、その結果、電荷の中和がなされてホットキャリアが消滅する。

#### 【0052】

このようにチャンネル形成領域215、216の電荷制御は第1配線206bと第1配線206cとで行われ、LDD構造として動作する。これによりオフ電流の増加を効果的に抑制することができる。

#### 【0053】

このように本実施形態に示した画素マトリクス回路では画素TFTとしてNTFTが用いられ、その構造は「実施形態1」で説明したCMOS回路のNTFTと同一構造である。しかしながら、CMOS回路では第1配線に所定電圧を印加してサブゲート配線として用いることでGOLD構造を実現したのに対し、画素マトリクス回路では第1配線を固定電位またはフローティング電位にしてLDD構造として用いる点に違いがある。

#### 【0054】

即ち、本願発明の最大の特徴は、同一基板上に同一構造のNTFTを形成しておき、第1配線（サブゲート配線）に印加する電圧の有無によってGOLD構造とLDD構造とを使い分ける点にある。これにより工程数を増やすことなく、最適な回路設計が可能となるのである。

#### 【0055】

また、第2配線206a、206b、206cは、206b、206cがゲート電極部であり、206aが配線部である。配線部はできるだけ配線抵抗を低くすることが望ましいのでクラッド構造を採用している。しかし、ゲート電極部の方は配線幅がチャンネル長を決定するため、第1導電層と第2導電層との積層として線幅を細くするような設計としている。

#### 【0056】

なお、クラッド構造の内容や効果については「実施形態1」で既に説明したの

でここでの説明は省略する。また、「実施形態 1」でも説明したように、対角 4 インチ以下の AM-LCD には必ずしもクラッド構造とする必要がないことは言うまでもない。

【0 0 5 7】

以上を示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0 0 5 8】

【実施例】

〔実施例 1〕

本実施例では、「実施形態 1」で説明した CMOS 回路の作製方法について説明する。説明には図 3 を用いる。

【0 0 5 9】

まず、基板 3 0 1 としてガラス基板を用意し、その上に第 1 配線 3 0 2 a、3 0 2 b、3 0 2 c を形成した。第 1 配線の材料としては、スパッタ法によりタンゲステンシリサイド (WSix) 膜、シリコン膜を順次積層した積層膜を用いた。勿論、積層順序が逆であっても良いし、成膜手段として CVD 法を用いることも可能である。また、上記積層膜を形成した後、表面に酸化膜が形成されていると表面保護という意味で有効であった。

【0 0 6 0】

勿論、第 1 配線 3 0 2 a、3 0 2 b、3 0 2 c は導電性を有する膜であれば良いので、他の金属膜や合金膜等を用いても構わない。なお、テーパ角の小さいパターン形成が可能なクロム膜やタンタル膜を用いると平坦性を向上させることができるため有効である。

【0 0 6 1】

次に、珪素（シリコン）を含む絶縁膜でなる第 1 絶縁層 3 0 3 を形成した。第 1 絶縁層 3 0 3 は活性層を保護する下地膜としての役割を果たすと同時に、第 1 配線 3 0 2 a をサブゲート配線として用いる際のゲート絶縁膜として機能する。

【0 0 6 2】

本実施例ではまず 5 0 nm の窒化珪素膜を成膜し、その上に 8 0 nm の酸化珪素膜

を積層した構造を採用した。他にも $\text{SiO}_x\text{N}_y$  ( $x/y=0.01\sim100$ )で示される酸化窒化珪素膜(窒化酸化珪素膜ともいう)を用いても良い。その際、窒素の含有量を酸素の含有量よりも多くすることで耐圧を向上させることが可能である。

#### 【0063】

次に、50nm厚の非晶質珪素膜(図示せず)を形成し、公知のレーザー結晶化技術により結晶化して結晶質珪素膜を形成した。そして結晶質珪素膜をパターンニングして活性層304、305を形成した。本実施例では、結晶化工程を、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射することによって行った。

#### 【0064】

尚、本実施例では活性層に用いる半導体膜として非晶質珪素膜を結晶化した結晶質珪素膜を用いたが、他の半導体膜として微結晶珪素膜を用いても構わないし、直接結晶質珪素膜を成膜しても良い。また、珪素膜以外に、シリコンゲルマニウム膜等の化合物半導体膜を用いることも可能である。

#### 【0065】

次に、活性層304、305を覆って、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜またはそれらの積層膜でなる第2絶縁層306を形成した。ここではプラズマCVD法で酸化窒化珪素膜を100nmの厚さに形成した。この第2絶縁層は第2配線をメインゲート配線として用いる際のゲート絶縁膜として機能する。

#### 【0066】

次に、第1導電層として20nm厚のタンタル膜307を形成し、その上にスカジウムを添加したアルミニウム膜でなる第3導電層308を形成した。さらに、200nm厚のタンタル膜でなる第2導電層309を形成した。これらの成膜方法はスパッタ法でもCVD法でも良い。

#### 【0067】

こうして図3(A)の状態が得られたら、レジストマスク310、311を形成し、第1導電層307と第2導電層309とをエッチングした。こうしてタンタル膜の積層構造でなる第2配線312が形成された。この第2配線312は図

1 (A) の第2配線 (メインゲート配線) 107aに相当する。

【0068】

次に、15族に属する元素 (代表的にはリンまたは砒素) を添加し、低濃度不純物領域313を形成した。また、このとき同時にNTFTのチャネル形成領域314が画定した。本実施例では15族に属する元素としてリンを用い、質量分離を行わないイオンドーピング法を用いて添加した。(図3(B))

【0069】

添加条件としては、加速電圧を90keVとし、 $1 \times 10^{16} \sim 1 \times 10^{19}$  atom/cm<sup>3</sup> (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>) の濃度でリンが添加されるようにドーズ量を調節した。この濃度が後にLDD領域の不純物濃度になるので精密に制御する必要がある。

【0070】

次に、レジストマスク310、311を除去し、新たにレジストマスク315～318を形成した。そして第1導電層307と第2導電層309をエッチングして第2配線319～321を形成した。この第2配線319、320、321はそれぞれ順に図1(A)の第2配線107b、107c、107dに相当する。

【0071】

次に、13族に属する元素 (代表的にはボロンまたはガリウム) を添加し、不純物領域322を形成した。また、このとき同時にPTFTのチャネル形成領域323が画定した。本実施例では13族に属する元素としてボロンを用い、質量分離を行わないイオンドーピング法を用いて添加した。(図3(C))

【0072】

添加条件としては、加速電圧を75keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21}$  atom/cm<sup>3</sup> (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>) の濃度でボロンが添加されるようにドーズ量を調節した。

【0073】

次に、レジストマスク315～318を除去した後、再びレジストマスク324～327を形成した。本実施例では、これらのレジストマスクは裏面露光法を用いて形成した。即ち、レジストマスク324、326、327は第1配線がマ

スクとなり、レジストマスク 3 2 5 は第 2 配線がマスクとなっている。第 1 配線をマスクとなる場合は少し光の回り込みがあるので、第 1 配線よりも線幅が細くなる。この線幅は露光条件によって制御することが可能である。

#### 【0 0 7 4】

勿論、これらのレジストマスクを、マスクを用いて形成することもできる。その場合、パターン設計の自由度は高くなるがマスク枚数が増えてしまう。

#### 【0 0 7 5】

こうしてレジストマスク 3 2 4～3 2 7 が形成されたら、1 5 族に属する元素（本実施例ではリン）の添加工程を行った。ここでは加速電圧を 9 0 k e V とし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ （好ましくは  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度でリンが添加されるようにドーズ量を調節した。

#### 【0 0 7 6】

この工程により N T F T のソース領域 3 2 8、ドレイン領域 3 2 9 および L D 領域 3 3 0 が画定した。また、P T F T のソース領域 3 3 1、ドレイン領域 3 3 2 が画定した。この工程では P T F T のソース領域とドレイン領域にもリンが添加されるが、前工程でさらに高い濃度のボロンが添加されていれば、N 型に反転しないため P 型を維持したままとなる。

#### 【0 0 7 7】

こうして N T F T および P T F T に一導電性を付与する不純物元素を添加したら、ファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらの手法を併用して不純物元素の活性化を行った。

#### 【0 0 7 8】

こうして図 3（D）の状態が得られたら、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、樹脂膜またはそれらの積層膜でなる第 1 層間絶縁層 3 3 3 を形成した。そしてコンタクトホールを開けてソース配線 3 3 4、3 3 5、ドレイン配線 3 3 6 を形成した。（図 3（E））

#### 【0 0 7 9】

本実施例では第 1 層間絶縁層 3 3 3 として、最初に窒化珪素膜を 5 0 n m 形成し、さらに酸化珪素膜を 9 5 0 n m 形成した 2 層構造とした。また、本実施例で

はソース配線およびドレイン配線を、チタン膜100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜をパターンニングして形成した。

#### 【0080】

こうして図3(E)に示すような構造のCMOS回路が完成した。本実施例のCMOS回路は図1(A)に示した構造であり、それについての説明は「実施形態1」で詳細に説明したのでここでの説明は省略する。また、図1(A)の構造を得るにあたって、本実施例の作製工程に限定される必要はない。例えば、NTFTをダブルゲート構造とし、PTFTをシングルゲート構造とするようなことも可能である。

#### 【0081】

なお、本実施例で説明したCMOS回路はAM-LCDにおいてはドライバー(駆動)回路(シフトレジスタ回路、バッファ回路、レベルシフト回路、サンプリング回路など)やその他の信号処理回路(分割回路、D/Aコンバータ回路、 $\gamma$ 補正回路、オペアンプ回路など)を構成する基本単位回路である。

#### 【0082】

本実施例ではNTFTの第1配線をサブゲート配線として用いることで実質的なGOLD構造を実現することができ、ホットキャリア注入による劣化を防ぐことができる。従って、非常に信頼性の高い回路を形成することができる。

#### 【0083】

また、集積度の高い場所では配線の線幅を細くし、集積度のあまり高くない場所(電源供給部)ではクラッド構造とすることで配線抵抗を減らし、配線抵抗による遅延時間を低減する構造となっている。

#### 【0084】

##### 〔実施例2〕

本実施例では「実施形態2」で説明した画素マトリクス回路の作製方法について説明する。説明には図4、図5を用いる。なお、画素マトリクス回路は同一基板上において、実施例1に示したCMOS回路と同時に形成されるため、実施例1の作製工程に対応させて説明する。従って、必要に応じて図3と同じ符号を使

って説明することとする。

#### 【0085】

まず、ガラス基板301上に第2配線401a、401b、401cを形成した。これら第2配線の材料は実施例1で説明した通りである。次に、実施例1を参考にして第1絶縁層303、画素TFTの活性層402、第2絶縁層306、第1導電層307、第3導電層403、第2導電層309を形成した。こうして図4(A)の状態が得られた、この時、同時形成されているCMOS回路は図3(A)の状態にある。

#### 【0086】

次に、レジストマスク404～407を形成し、第1導電層307と第2導電層309のエッチングを行った。こうして第2配線408、409および容量配線410が形成された。なお、第2配線408は図2(A)の第2配線206bに、第2配線409は図2(A)の第2配線206cに相当する。また、容量配線410は図2(A)の容量配線207に相当する。

#### 【0087】

次に、後にLDD領域を形成するためのリンの添加工程を行い、低濃度不純物領域411～413を形成した。また、この時、チャネル形成領域414、415が画定した。この工程は図3(B)の工程に対応する。従って、図4(B)の工程において、第2配線の材料や膜厚、およびリンの添加条件は実施例1と同様である。

#### 【0088】

次に、図3(C)に相当する工程を行った。まず、レジストマスク416、417を形成し、第1導電層307と第2導電層309のエッチングを行うことにより第2配線418を形成した。この第2配線418は図2(A)の第2配線206aに相当する。

#### 【0089】

次に、CMOS回路のPTFTを作製するためにボロンの添加工程を行った。本実施例の場合、画素TFTはNTFTで形成されるため、画素マトリクス回路はレジストマスク417で全面的に覆った状態とした。(図4(C))

【0090】

次に、レジストマスク416、417を除去した後、裏面露光法によりレジストマスク419～422を形成した。そして、リンの添加工程を行い、ソース領域423、ドレイン領域424、LDD領域425を形成した。この時、裏面露光条件やリンの添加条件等は実施例1の図3（D）の工程に従えば良い。

【0091】

なお、図4（D）では説明の便宜上、ソース領域やドレイン領域と記載したが、画素TF Tの場合は画素への充電時と放電時とでソース領域とドレイン領域が逆転するので明確な区別はない。

【0092】

こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様に不純物元素の活性化工程を行った。そして、第1層間絶縁層333を形成し、コンタクトホールを形成してソース配線426、ドレイン配線427を形成した。こうして図4（E）の状態を得た。この時、CMOS回路は図3（E）の状態となっている。

【0093】

次に、ソース配線426およびドレイン配線427を覆って第2層間絶縁層428を形成した。本実施例ではパッシベーション膜として30nm厚の窒化珪素膜を形成し、その上に700nm厚のアクリル膜を形成した。勿論、酸化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、他の樹脂膜を用いても良い。他の樹脂膜としては、ポリイミド膜、ポリアミド膜、BCB（ベンゾシクロブテン）膜などを使用することができる。

【0094】

次に、100nm厚のチタン膜でなるブラックマスク429を形成した。ブラックマスク427は遮光性を有する膜であれば他の膜を用いても良い。代表的にはクロム膜、アルミニウム膜、タンタル膜、タングステン膜、モリブデン膜、チタン膜またはそれらの積層膜を用いれば良い。

【0095】

次に第3層間絶縁層430を形成した。本実施例では1μm厚のアクリル膜と



したが、第2層間絶縁層と同様の材料を用いることができる。

#### 【0096】

次に、第3層間絶縁層430にコンタクトホールを形成し、透明導電膜（代表的にはITO膜）でなる画素電極431を形成した。この時、画素電極431はドレイン配線427と電氣的に接続される。従って、コンタクトホールは非常に深いものとなるので、内側の側壁がテーパ形状または曲面を有するように形成すると画素電極が断線するなどの不良を防ぐのに有効であった。

#### 【0097】

こうして図5（A）に示すような構造の画素マトリクス回路が完成した。なお、本実施例では画素電極として透明導電膜を用いて透過型AM-LCDを作製する例を示したが、画素電極として反射率の高い金属膜（アルミニウムを主成分とする金属膜など）を用いることで容易に反射型AM-LCDを作製することが可能である。

#### 【0098】

また、図5（A）の状態となった基板をアクティブマトリクス基板という。本実施例では、実際にAM-LCDを作製した場合の構造も併せて説明する。

#### 【0099】

図5（A）の状態が得られたら、配向膜432を80nmの厚さに形成した。次に、対向基板を作製した。対向基板はガラス基板433上にカラーフィルタ434、透明電極（対向電極）435、配向膜436を形成したものを準備した。そして、それぞれの配向膜432、435に対してラビング処理を行い、シール材（封止材）を用いてアクティブマトリクス基板と対向基板とを貼り合わせた。そして、その間に液晶436を保持させた。なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。

#### 【0100】

こうして図5（B）に示す構造のAM-LCD（画素マトリクス回路の部分）が完成した。本実施例に示した第2層間絶縁層428と第3層間絶縁層430は実際には実施例1に示したCMOS回路上にも形成されることになる。また、ブラックマスク429や画素電極431を形成すると同時に、それらを構成する材

料で配線を形成し、その配線をAM-LCDのドライバー回路や信号処理回路の引き回し配線（第4配線または第5配線）として用いることも可能である。

#### 【0101】

本実施例の場合、画素TFTに設けられた第1配線401b、401cは固定電位（接地電位またはソース電位）に設定した。こうしておくことで、ホットキャリア注入によってドレイン端部に生じたホール（正孔）を第1配線に引き抜くことができるため、信頼性の向上に適した構造となる。勿論、第1配線401b、401cをフローティング状態にしておくこともできるが、その場合にはホールの引き抜き効果を期待できない。

#### 【0102】

また、図2（B）の上面図にも示したように、配線部に位置する第2配線418はクラッド構造を採用し、配線抵抗を極力減らすような構造とした。

#### 【0103】

##### 〔実施例3〕

本実施例では本願発明の画素マトリクス回路やCMOS回路（具体的にはCMOS回路で形成されたドライバー回路や信号処理回路）を具備したAM-LCDの外観を図6に示す。

#### 【0104】

アクティブマトリクス基板601には画素マトリクス回路602、信号線駆動回路（ソースドライバー回路）603、走査線駆動回路（ゲートドライバー回路）604、信号処理回路（信号分割回路、D/Aコンバータ回路、 $\gamma$ 補正回路等）605が形成され、FPC（フレキシブルプリントサーキット）606が取り付けられている。なお、607は対向基板である。

#### 【0105】

ここでアクティブマトリクス基板601上に形成された各種回路をさらに詳しく図示したブロック図を図7に示す。

#### 【0106】

図7において、701は画素マトリクス回路であり、画像表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702

cはバッファ回路である。これらでなる回路が全体としてゲートドライバー回路を形成している。

#### 【0 1 0 7】

なお、図7に示したAM-LCDのブロック図ではゲートドライバー回路を、画素マトリクス回路を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバーに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

#### 【0 1 0 8】

また、7 0 3 aはシフトレジスタ回路、7 0 3 bはレベルシフト回路、7 0 3 cはバッファ回路、7 0 3 dはサンプリング回路であり、これらでなる回路が全体としてソースドライバー回路を形成している。画素マトリクス回路を挟んでソースドライバー回路と反対側にはプリチャージ回路1 4が設けられている。

#### 【0 1 0 9】

本願発明を用いることで図6に示したような回路を有するAM-LCDの信頼性を大幅に向上させることができる。その際、ドライバー回路や信号処理回路を形成するCMOS回路は実施例1に従えばよく、画素マトリクス回路は実施例2に従えば良い。

#### 【0 1 1 0】

##### 〔実施例4〕

本実施例では、「実施形態1」に示したCMOS回路や「実施形態2」に示した画素マトリクス回路の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に依じて構造を異ならせる例を示す。

#### 【0 1 1 1】

なお、CMOS回路の基本構造は図1（A）に示した構造、画素マトリクス回路の基本構造は図2（A）に示した構造であるため、本実施例では必要箇所のみに符号を付して説明することとする。

#### 【0 1 1 2】

まず、図8（A）に示した構造はNTFTのソース側のLDD領域をなくし、ドレイン側のみにLDD領域8 0 1を設けた構造である。ドライバー回路や信号

処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。

#### 【0113】

本願発明のCMOS回路の場合、サブゲート配線として機能する第1配線にゲート電圧を印加することによってGOLD構造を実現し、ホットキャリア注入による劣化を防いでいる。しかしながら、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極とオーバーラップした（重なった）LDD領域が存在すれば良い。

#### 【0114】

従って、必ずしもチャネル形成領域のソース領域側の端部にはLDD領域を設けておく必要はなく、却ってソース領域側に設けられたLDD領域が抵抗成分として働いてしまう恐れがある。そのため、図8（A）のような構造とすることは動作速度を改善する上で有効である。

#### 【0115】

なお、図8（A）の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図8（A）のような構造を実現することができる。

#### 【0116】

次に、図8（B）は基本的には図8（A）と同様であるが、LDD領域802の幅が図8（A）よりも狭く形成されている。具体的には0.05～0.5 $\mu$ m（好ましくは0.1～0.3 $\mu$ m）とする。図8（B）の構造はソース領域側の抵抗成分をなくすだけでなく、ドレイン領域側の抵抗成分を極力減らすような構造となっている。

#### 【0117】

このような構造は実際にはシフトレジスタ回路のように3～5Vといった低電圧で駆動し、高速動作を要求するような回路に適している。動作電圧が低いのでLDD領域（厳密にはゲート電極にオーバーラップしたLDD領域）が狭くなってもホットキャリア注入の問題は顕在化しない。

# 【0 1 1 8】

勿論、場合によってはシフトレジスタ回路のみNTFTのLDD領域を完全になくすようなこともできる。その場合、同じドライバー回路内でも、シフトレジスタ回路のNTFTにはLDD領域がなく、他の回路には図1（A）や図8（B）に示した構造を採用するようなこともできる。

# 【0 1 1 9】

次に、図8（C）はNTFTをダブルゲート構造、PTFTをシングルゲート構造としたCMOS回路の例である。この場合、チャネル形成領域803、804のドレイン領域に近い側のみの端部にLDD領域805、806を設ける。

# 【0 1 2 0】

図3（D）に示したようにLDD領域の幅は裏面露光工程における光の回り込み量で決定するが、マスク合わせによってレジストマスクを形成すれば自由にマスク設計を行うことができる。図8（C）に示した構造においてもマスクを用いれば片側のみにLDD領域を設けることは容易である。

# 【0 1 2 1】

しかし、本実施例のようにゲート配線（第2配線）807a、807bと第1配線808、809とをずらして形成することで、裏面露光法を用いても片側のみにLDD領域を形成することが可能となる。

# 【0 1 2 2】

このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソースドレイン間にかかる電界を分散させて緩和する効果がある。

# 【0 1 2 3】

次に、図8（D）の構造は画素マトリクス回路の一実施形態である。図8（D）の構造の場合、ソース領域またはドレイン領域に近い片側のみにLDD領域809、810を設ける。即ち、二つのチャネル形成領域811と812の間にはLDD領域を設けない構造とする。

# 【0 1 2 4】

画素TFTの場合、充電と放電を繰り返す動作を行うためソース領域とドレイ

ン領域とが頻繁に入れ替わることになる。従って、図8（D）の構造とすることでどちらがドレイン領域となってもチャネル形成領域のドレイン領域側にLDD領域を設けた構造となる。逆に、チャネル形成領域811と812の間の領域は電界集中がないので抵抗成分となるLDD領域をなくした方がオン電流（TFTがオン状態にある時に流れる電流）を大きくするには有効である。

【0125】

なお、図8（A）～（D）の構造において、ソース領域側のチャネル形成領域の端部にはLDD領域を設けない構造としているが、幅の狭いものであれば設けられていても構わない。そのような構造はマスク合わせによってレジストマスクを形成しても良いし、第1配線と第2配線の位置を調節した上で裏面露光法を用いて形成しても良い。

【0126】

なお、本実施例の構成は実施例1、2と組み合わせられることは言うまでもなく、実施例3に示したAM-LCDに用いても良い。

【0127】

〔実施例5〕

本実施例では実施例2に示した画素マトリクス回路とは異なる構造の保持容量を形成した場合について説明する。説明には図9を用いる。なお、基本的な構造は図2（A）に示したものと同じであるので、本実施例では必要箇所のみに符号を付して説明することとする。

【0128】

まず、図9（A）に示した構造は保持容量を第1配線と同一層に形成された容量配線901、第1絶縁層902および活性層（厳密にはドレイン領域から延在する部分）903とで形成する。

【0129】

この構造の利点は、活性層のうち保持容量の電極として機能する部分にも高濃度に13族または15族に属する元素が添加され、導電性を有している点である。勿論、13族または15族に属する元素はソース領域またはドレイン領域の形成工程と同時に形成すれば良い。

【0130】

「実施形態2」で説明した構造の場合、保持容量の電極として機能する活性層は第2配線がマスクとなるため導電性を付与する不純物元素が添加されず、容量配線に常に電圧を印加して活性層に反転層が形成された状態を維持しなければならない。しかしながら、図9（A）の構造では、保持容量の電極として機能する活性層自身が導電性を有しているため、電圧を印加する必要がなく、接地電位などに固定しておけば良いだけである。

【0131】

このように余分な電圧を印加する必要がない分、消費電力を抑えるのに有効な構造であると言える。

【0132】

また、図9（B）の構造は、図2（A）に示した保持容量の構造と図9（A）に示した保持容量の構造とを組み合わせた例である。具体的には、第1配線と同一層の第1容量配線904、第1絶縁層905および活性層906で第1保持容量を形成し、活性層906、第2絶縁層907および第2配線と同一層の第2容量配線908で第2保持容量を形成する。

【0133】

この構造では工程数をなんら増やすことなく、図2（A）や図9（A）に示した保持容量の構造の2倍近い容量を確保することが可能である。特に、AM-LCDが高精細になれば開口率を稼ぐために、保持容量の面積を小さくすることが必要となる。そのような場合に図9（B）の構造は有効である。

【0134】

なお、本実施例の構造を実施例3に示したAM-LCDに対して用いることは有効である。

【0135】

〔実施例6〕

本実施例では図1（A）に示したCMOS回路や図2（A）に示した画素マトリクス回路において、第2配線を構成する第1導電層を省略した場合の例を図10に示す。なお、図10（A）において図1（A）または図2（A）と同じ構成

の部分には同一の符号を付している。

#### 【0136】

図10 (A) のCMOS回路は、第2配線11～13が全て単層のタンタル膜で形成されている。即ち、図1 (A) の構造と比較すると第1導電層を省略し、第2導電層のみで第2配線を形成した構成となる。なお、膜厚は200～400 nmとすれば良い。勿論、タンタル以外に、チタン、タングステン、モリブデン、またはシリコンから選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いても良い。

#### 【0137】

このような構造とした場合、第2配線の電源供給部(図1 (A) でクラッド構造となっていた部分)は第3導電層14aを第2導電層14bで覆った構造となる。ただし、この構造では第3導電層14aの構成元素であるアルミニウムや銅が第2絶縁層106中に拡散する恐れがある。そのため、第2絶縁層106の表面に窒化珪素膜を設けておくと、アルミニウムや銅の拡散を効果的に防止することが可能である。

#### 【0138】

また、本実施例の構造は画素マトリクス回路に対しても適用できる。図10 (B) の画素マトリクス回路は、第2配線(ゲート配線)16、17および容量配線が第2導電層(本実施例ではタンタル膜)のみでなり、ゲート配線の中でも配線抵抗を抑えたい部分には、第3導電層15aを第2導電層15bで覆った構造を採用している。

#### 【0139】

勿論、図10 (A)、図10 (B) に示した回路はどちらも同一基板上に同時形成されることは言うまでもない。

#### 【0140】

また、本実施例の構造は実施例1および実施例2に示した作製工程において、第1導電層の形成工程を省略するのみで実現できる。また、実施例3のAM-LCDに適用することもできるし、実施例4、5に示した構成と組み合わせることも可能である。



【0141】

〔実施例7〕

本実施例では図1（A）に示したCMOS回路や図2（A）に示した画素マトリクス回路において、NTFTのゲート電極部をクラッド構造とする場合の例を図11に示す。なお、図11（A）において図1（A）または図2（A）と同じ構成の部分には同一の符号を付している。

【0142】

図11（A）に示したCMOS回路では、NTFTのゲート電極21が第1導電層21aと第2導電層21bとで第3導電層21cを包み込んだクラッド構造となっている。この時、チャネル形成領域22の長さは第3導電層21cの線幅に一致する。

【0143】

また、LDD領域23は実質的に二つの領域に区別することができる。一方は第2配線の一部であるゲート電極21と重なっており、他方はゲート電極21と重なっていない。即ち、本実施例の構造では、第2配線の一部であるゲート電極のみでGOLD構造を実現することができる。、さらにゲート電極にオーバーラップしたLDD領域の外側に、ゲート電極にオーバーラップしないLDD領域が設けられるため、非常にオフ電流を小さくすることができる。

【0144】

図11（B）に示した画素マトリクス回路の場合も同様であり、画素TFTのゲート電極24、25はどちらも第1導電層24a、25aと第2導電層24b、25bとで第3導電層24c、25cを包み込んだクラッド構造となっている。この時、チャネル形成領域26、27の長さは第3導電層24c、25cの線幅に一致する。また、LDD領域28、29はどちらもLDD領域23と同様に実質的に二つの領域に区別できる。

【0145】

「実施形態1」や「実施形態2」に示した構造の場合、CMOS回路では第1配線（サブゲート配線）にゲート電圧を印加することでGOLD構造が実現されるが、画素マトリクス回路ではオフ電流を下げるためにLDD構造となるように

している。これはGOLD構造の欠点であるオフ電流の増加を避けるためであり、そのためオン電流の劣化を抑制するというGOLD構造そのものの利点は得られない。

#### 【0146】

しかしながら、本実施例の構造では画素マトリクス回路であってもGOLD構造のNTFTが実現されるため、さらに信頼性を高めることができる。勿論、画素TFTをGOLD構造にできる理由は、ゲート電極にオーバーラップするLDD領域の外側に、ゲート電極にオーバーラップしないLDD領域を設けたからに他ならない。

#### 【0147】

ここで、本実施例の構造を実現するための作製工程について図12を用いて説明する。ただし、基本的には実施例1で説明した工程と同一であるので、必要箇所のみに新たに符号を付して説明する。

#### 【0148】

まず、実施例1の工程に従って第3導電層308を形成した。本実施例の場合、第3導電層308の形成と同時にNTFTの上にも第3導電層31を形成した。そして、レジストマスク32を形成し、リンの添加工程を行った。この添加条件は実施例1の図3(B)の工程を参考にすれば良い。この工程により低濃度不純物領域33、34が形成され、チャネル形成領域35が画定した。(図12(A))

#### 【0149】

次に、レジストマスク32を除去した後、第2導電層36、37を形成した。この工程によりNTFTのメインゲート配線38が形成された。(図12(B))

#### 【0150】

次に、レジストマスク315～318を形成し、ボロンの添加工程を行った。添加条件は実施例1の図3(C)の工程を参考にすれば良い。こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様の手段で添加した不純物元素の活性化を行い、図12(C)の状態が得られた。

【0151】

次に、レジストマスク315～318を除去した後、裏面露光法により再びレジストマスク324～327を形成し、リンの添加工程を行った。添加条件は実施例1の図3（D）の工程を参考にすれば良い。

【0152】

この工程によりNTFTのソース領域39、ドレイン領域40および低濃度不純物領域（LDD領域）41が形成された。（図12（D））

【0153】

この時、LDD領域41は、ゲート電極38とオーバーラップしている部分の長さが0.1～3.5 $\mu$ m（代表的には0.1～0.5 $\mu$ m、好ましくは0.1～0.3 $\mu$ m）となるようにし、ゲート電極38とオーバーラップしていない部分の長さが0.5～3.5 $\mu$ m（代表的には1.5～2.5 $\mu$ m）となるようにすれば良い。

【0154】

この後は実施例1と同様の工程を経て、第1層間絶縁膜108、ソース配線109、110、ドレイン配線111を形成することで図11（A）に示すような構造のCMOS回路が完成した。

【0155】

なお、本実施例ではCMOS回路の作製工程を例にとって説明したが、画素マトリクス回路においてもほぼ同様の作製工程で図11（B）の構造が得られる。従って、ここでの説明は省略する。

【0156】

また、本実施例の構造は実施例3のAM-LCDに適用することもできるし、実施例4～6に示した構成とも自由に組み合わせることが可能である。

【0157】

〔実施例8〕

実施例1の図3（D）の工程において、裏面露光法でレジストマスク324～327を形成した後、第2絶縁層306をエッチングして除去し、露呈した活性層にリンを添加することは有効である。

【0158】

こうすることによりリンを添加する際の加速電圧を10keV程度にまで下げることができ、ドーピング装置の負担を減らすことができる。また、スループットを大幅に向上させることができる。この事は実施例2の図4(D)に示した工程においても同様である。

【0159】

なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4～7に示した構成とも自由に組み合わせることが可能である。

【0160】

〔実施例9〕

本実施例ではドライバー回路に用いるCMOS回路において、NTFTのオフ電流を低減するための構造について図13を用いて説明する。

【0161】

図13において、NTFTのLDD領域51は、実質的に第1配線102aにオーバーラップしている部分としていない部分とに区別できる。従って、第1配線102aにゲート電圧が印加された際、図13のNTFTはゲート電極にオーバーラップしたLDD領域の外側に、ゲート電極にオーバーラップしていないLDD領域を有する構造となる。

【0162】

このような構造は実施例8でも説明したように、GOLD構造の利点であるオン電流の劣化を防ぐ効果を有し、且つ、GOLD構造の欠点であるオフ電流の増加を抑制した電気特性を得ることができる。従って、非常に優れた信頼性を有するCMOS回路を実現することが可能である。

【0163】

また、ここではCMOS回路の場合を例にとって説明したが、本実施例の構造を画素マトリクス回路に適用しても構わない。

【0164】

また、本実施例の構造を実現するためには、実施例1の図3(D)に示した工程において裏面露光法を用いなければ良い。即ち、通常のマスク合わせにより第

1 配線よりも幅の広いレジストマスクを設け、その後、リンの添加工程を行えば本実施例の構造を容易に得ることができる。

#### 【0165】

なお、LDD領域の長さ（ゲート電極にオーバーラップしている部分としていない部分の長さ）は実施例8に示した範囲を参考にすれば良い。

#### 【0166】

なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4～7に示した構成とも自由に組み合わせることが可能である。

#### 【0167】

##### 〔実施例10〕

本実施例では、実施例1または実施例2に示した活性層を形成するにあたってレーザー結晶化以外の手段を用いた場合について説明する。

#### 【0168】

具体的には、活性層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報（米国出願番号08/329,644または米国出願番号08/430,623に対応）、特開平8-78329号公報で開示された技術を用いることが望ましい。特に触媒元素としてはニッケルが好適である。

#### 【0169】

なお、本実施例の構成は実施例1乃至実施例9の全ての構成と自由に組み合わせることが可能である。

#### 【0170】

##### 〔実施例11〕

本実施例は活性層を形成する方法として、実施例10に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報（米国出願番号08/951,193に対応）または特開平10-135469号公報（米国出願番号08/951,819に対応）に記載された技術を用いる。

#### 【0171】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にハロゲンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{16}$  atoms/cm<sup>3</sup> にまで低減することができる。

#### 【0 1 7 2】

なお、本実施例の構成は実施例 1 乃至実施例 1 0 の全ての構成と自由に組み合わせることが可能である。

#### 【0 1 7 3】

##### 〔実施例 1 2〕

本実施例は活性層を形成する方法として、実施例 1 0 に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平 1 0－2 7 0 3 6 3 号公報（米国出願番号 0 9／0 5 0，1 8 2 に対応）に記載された技術を用いる。

#### 【0 1 7 4】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{16}$  atoms/cm<sup>3</sup> にまで低減することができる。

#### 【0 1 7 5】

なお、本実施例の構成は実施例 1 乃至実施例 1 0 の全ての構成と自由に組み合わせることが可能である。

#### 【0 1 7 6】

##### 〔実施例 1 3〕

本実施例では、実施例 1 2 で示したリンによるゲッターリング工程の別形態について説明する。なお、基本的な工程は図 1 に従うものであるので、相違点のみに着目して説明する。

#### 【0 1 7 7】

まず、実施例 1 の工程に従って図 3（D）の状態を得た。図 1 4（A）は図 3（D）の状態からレジストマスク 3 2 4～3 2 7 を除去した状態を表している。

ただし、T F Tの活性層となる半導体層の形成には実施例10に示した熱結晶化技術を用いている。

【0178】

この時、N T F Tのソース領域328及びドレイン領域329、並びにP T F Tのソース領域331及びドレイン領域332には $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> (好ましくは $5 \times 10^{20}$  atoms/cm<sup>3</sup>) の濃度でリンが含まれている。

【0179】

本実施例ではこの状態で、窒素雰囲気中で500～800℃、1～24時間、例えば600℃、12時間の加熱処理の工程を行う。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素（本実施例ではニッケル）が矢印の方向に移動し、前述のソース領域及びドレイン領域に含まれたリンの作用によって同領域にゲッタリング（捕獲）することができた。その結果、チャネル形成領域からニッケルを $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下にまで低減することができた。

【0180】

図14（B）の工程が終了したら、以降の工程は実施例1の工程に従えば、図3（E）に示すようなCMOS回路を作製することができる。勿論、同様のことが画素マトリクス回路でも行われることは言うまでもない。

【0181】

なお、本実施例の構成は実施例1乃至実施例10の全ての構成と自由に組み合わせることが可能である。

【0182】

〔実施例14〕

本願発明のT F T構造はA M－L C Dのような電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、R I S Cプロセッサ、A S I Cプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0183】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOLITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用しても良い。

## 【0184】

また、本実施例の半導体回路は実施例1、2、4～13のどのような組み合わせからなる構成を用いても実現することができる。

## 【0185】

## 〔実施例15〕

本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

## 【0186】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図15に示す。

## 【0187】

図15（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

## 【0188】

図15（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信



号制御回路に適用することができる。

【0189】

図15（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0190】

図15（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0191】

図15（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0192】

図15（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0193】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～14のどのような組み合わせからなる構成を用いても実現することができる。

【0194】

【発明の効果】

本願発明は同一構造のNTFTを、活性層の下側に設けた第1配線の電圧を制御することでGOLD構造として用いたり、LDD構造として用いたりする点に特徴がある。即ち、工程数を増やしたり煩雑にすることなく、同一基板上にGOLD構造とLDD構造とを実現することができる。

【0195】

そのため、AM-LCDやAM-LCDを表示ディスプレイとして有する電子機器等の半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができた。

## 【図面の簡単な説明】

- 【図1】 CMOS回路の構造を示す図。
- 【図2】 画素マトリクス回路の構造を示す図。
- 【図3】 CMOS回路の作製工程を示す図。
- 【図4】 画素マトリクス回路の作製工程を示す図。
- 【図5】 画素マトリクス回路の作製工程を示す図。
- 【図6】 AM-LCDの外観を示す図。
- 【図7】 AM-LCDのブロック構成を示す図。
- 【図8】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図9】 画素マトリクス回路（特に保持容量）の構造を示す図。
- 【図10】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図11】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図12】 CMOS回路の作製工程を示す図。
- 【図13】 CMOS回路の構造を示す図。
- 【図14】 CMOS回路の作製工程を示す図。
- 【図15】 電子機器の一例を示す図。

【書類名】 要約書

【要約】

【課題】 信頼性の高いT F T構造を用いた半導体装置を提供する。

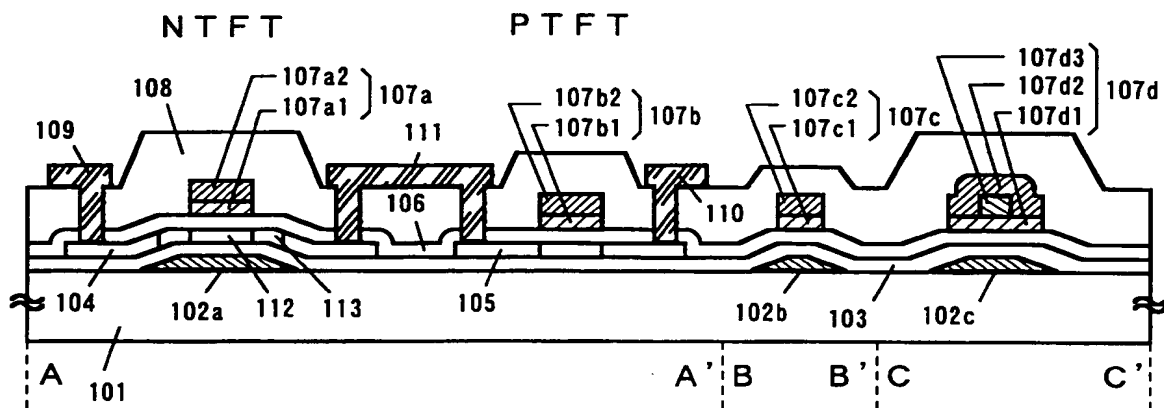
【解決手段】 基板1 0 1上に形成されたCMOS回路において、Nチャネル型T F Tにサブゲート配線（第1配線）1 0 2 aとメインゲート配線（第2ゲート配線）1 0 7 aを設ける。LDD領域1 1 3は第1配線1 0 2 aとは重なり、第2配線1 0 7 aとは重ならない。このため、第1配線にゲート電圧を印加すればGOLD構造となり、印加しなければLDD構造となる。回路仕様に応じてGOLD構造とLDD構造とを使い分けることができる。

【選択図】 図1

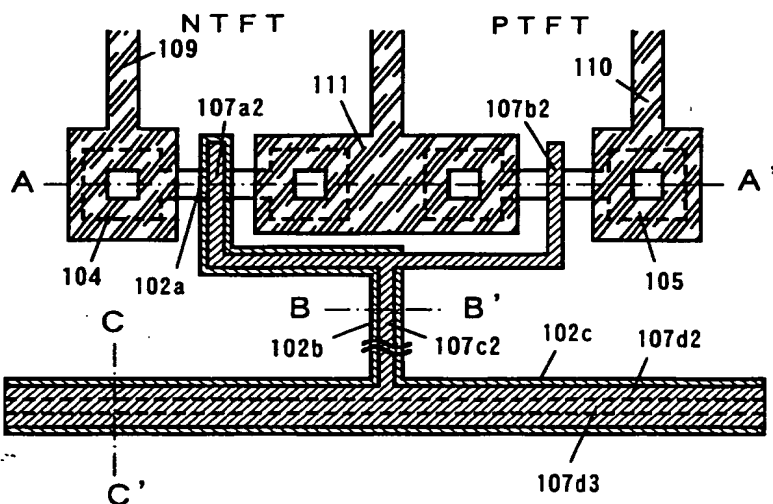
FIG. 1

【書類名】 図面

【図1】



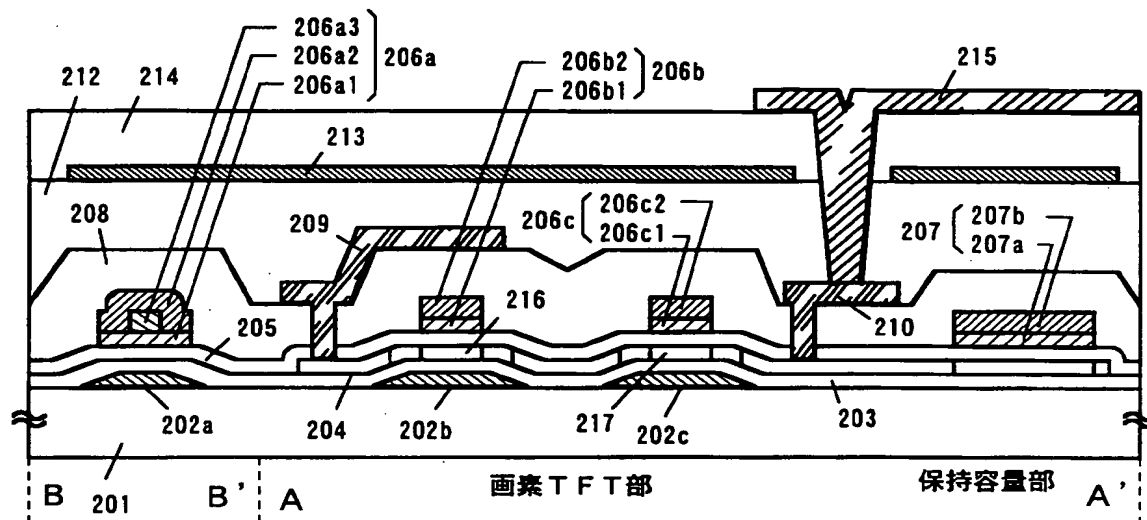
(A)



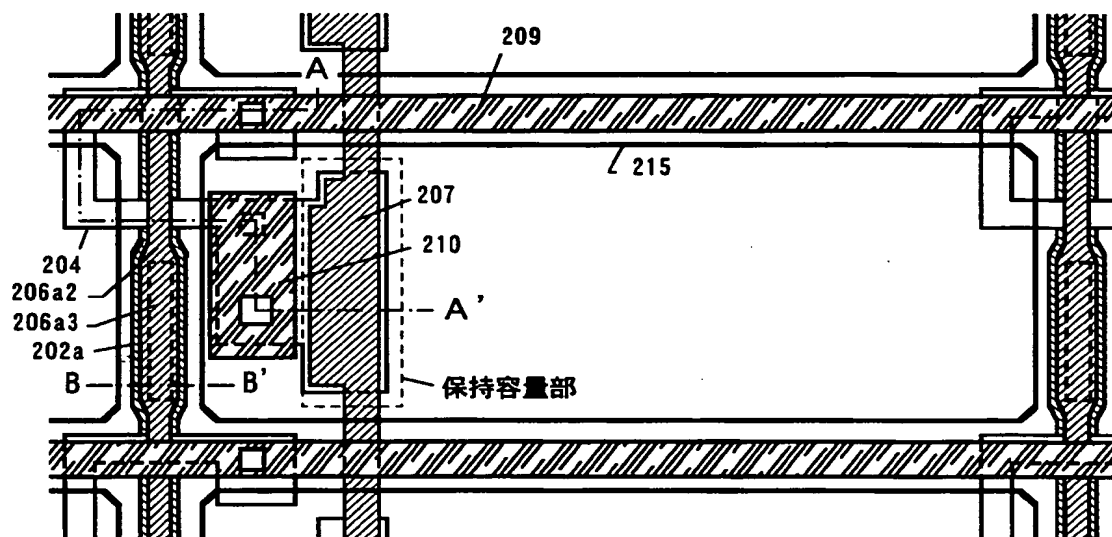
(B)

101:基板 102a, 102b, 102c:第1配線 103:第1絶縁層 104, 105:活性層  
106:第2絶縁層 107a, 107b, 107c, 107d:第2配線  
(107a1, 107b1, 107c1, 107d1:第1導電層  
107a2, 107b2, 107c2, 107d2:第2導電層 107d3:第3導電層)  
108:第1層間絶縁層 109~111:第3配線 (109, 110:ソース配線 111:ドレイン配線)

【図 2】



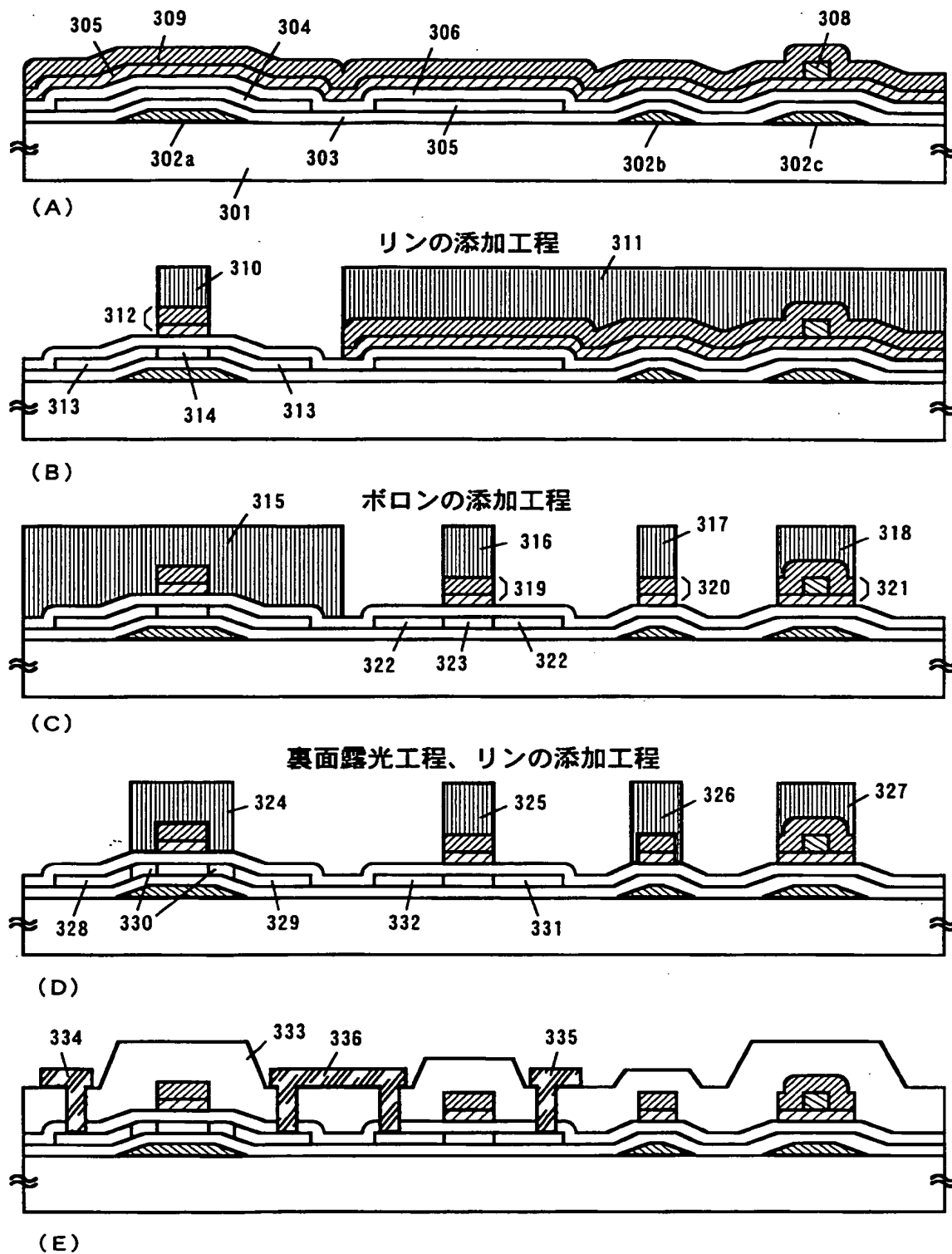
(A)



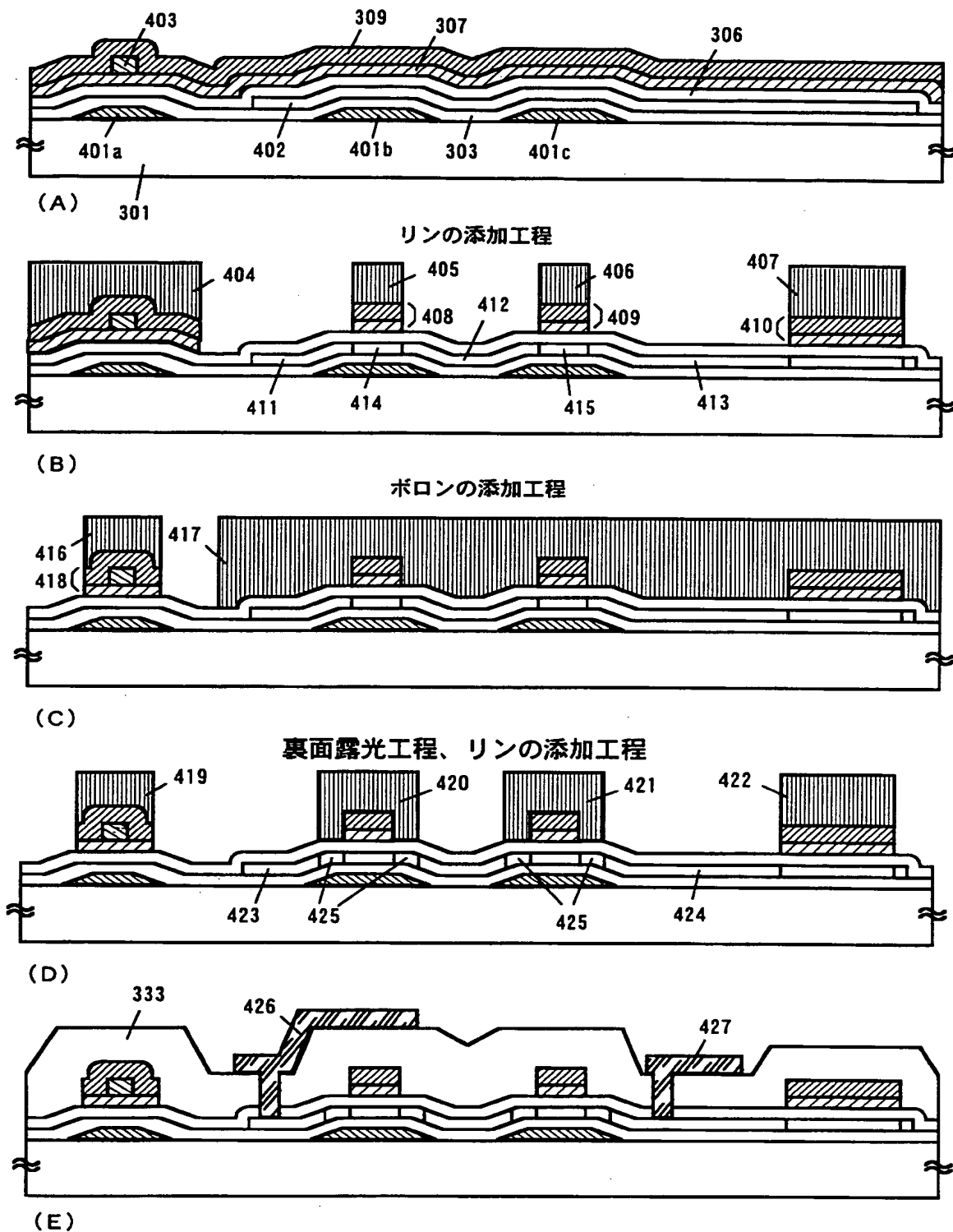
(B)

- 201:基板 202a, 202b, 202c:第1配線 203:第1絶縁層 204:活性層  
205:第2絶縁層 206a, 206b, 206c:第2配線  
(206a1, 206b1, 206c1:第1導電層 206a2, 206b2, 206c2:第2導電層 206a3:第2導電層)  
207:容量配線 (207a:第1導電層 207b:第2導電層) 208:第1層間絶縁層  
209:ソース配線 210:ドレイン配線 211:第2層間絶縁層 212:バックマシ 213:第3層間絶縁層  
214:封装電極 215, 216:パッド形成領域

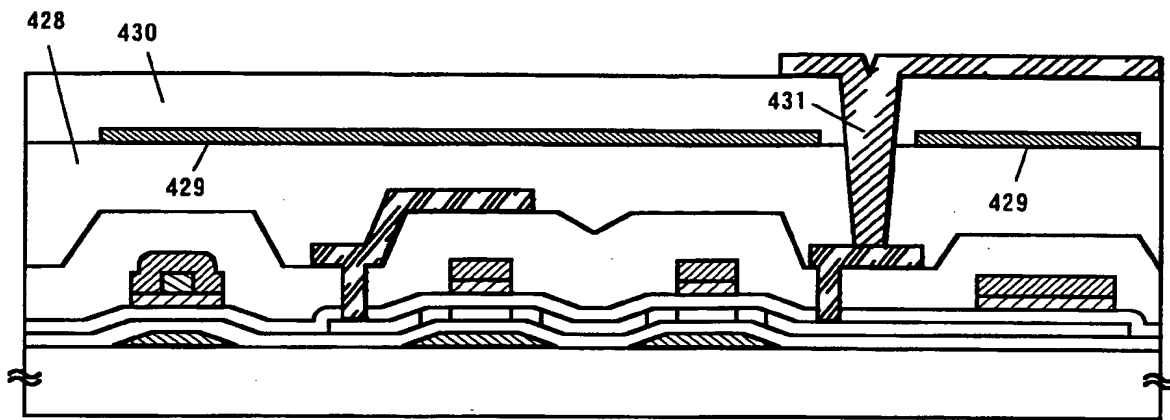
【図3】



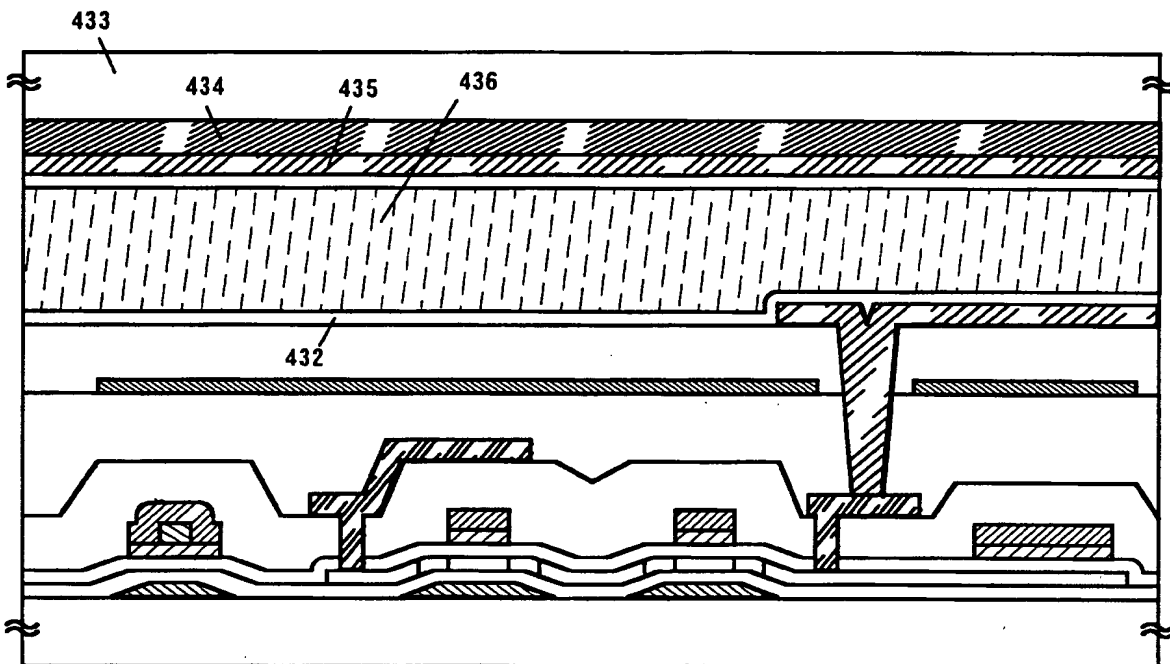
【図4】



【図5】



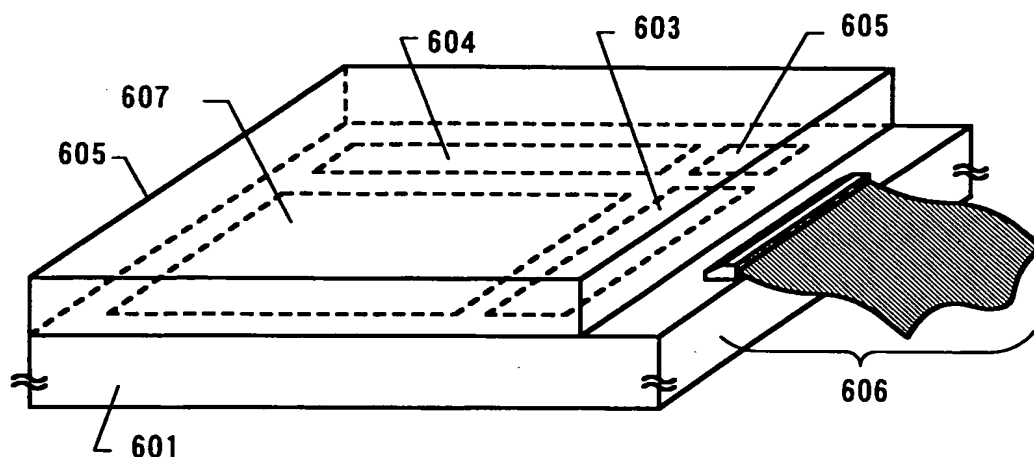
(A)



(B)

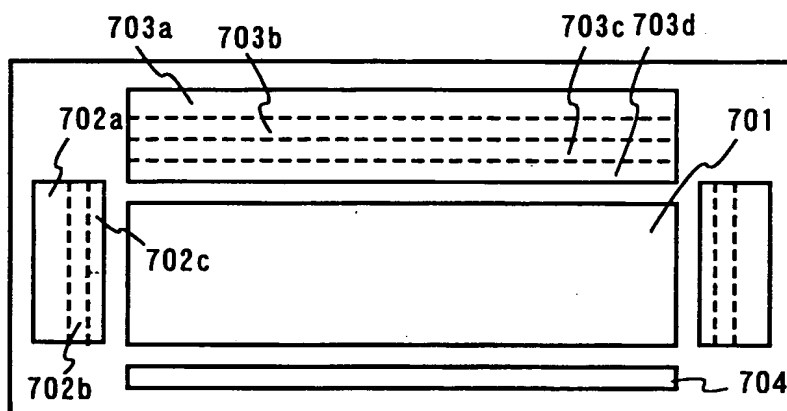


【図6】



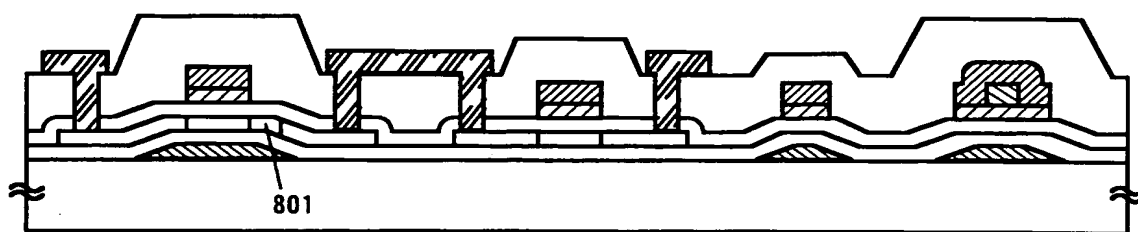
601: 絶縁表面を有する基板 602: 画素マトリクス回路  
603: ソースドライバ回路 604: ゲートドライバ回路  
605: 信号処理回路 606: FPC 1007: 対向基板

【図7】

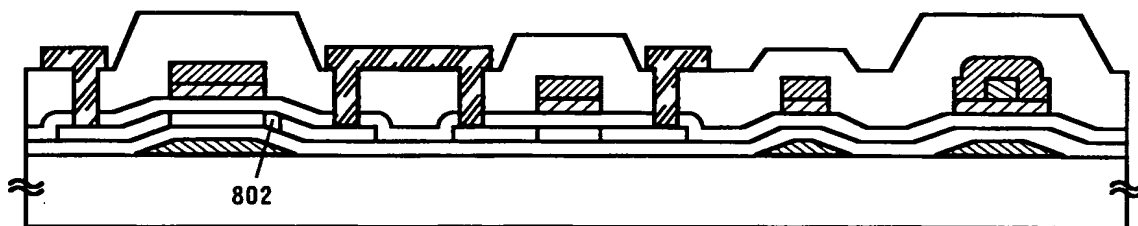


701: 画素マトリクス回路 702a, 703a: シフトレジスタ回路  
702b, 703b: レベルシフト回路 702c, 703c: バッファ回路  
703d: サンプルング回路 704: プリチャージ回路

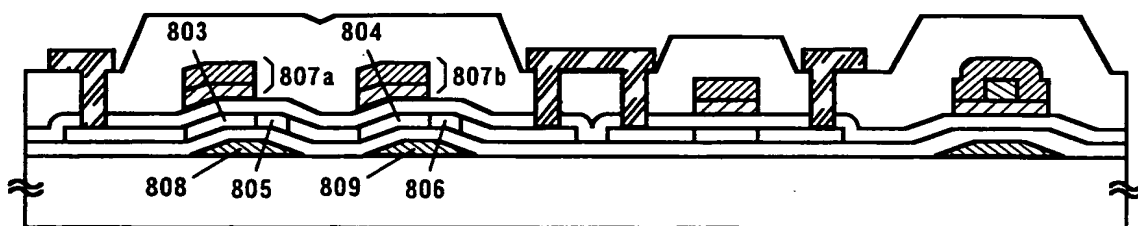
【図 8】



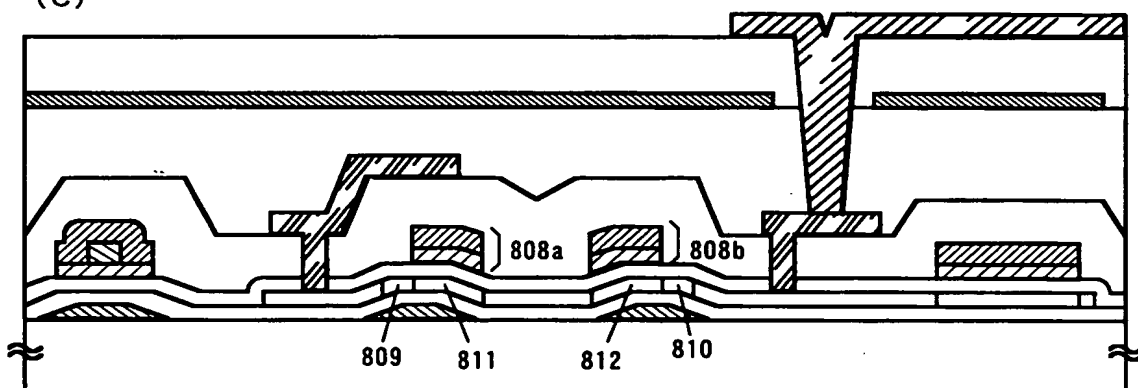
(A)



(B)

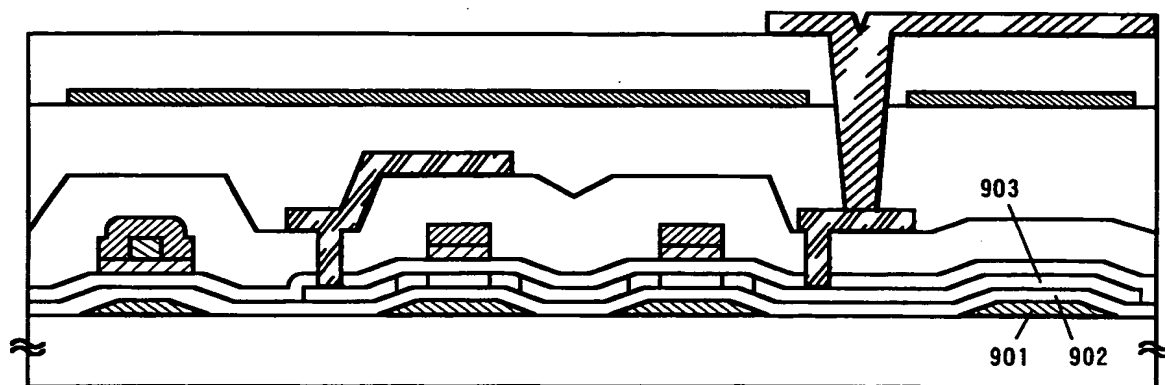


(C)



(D)

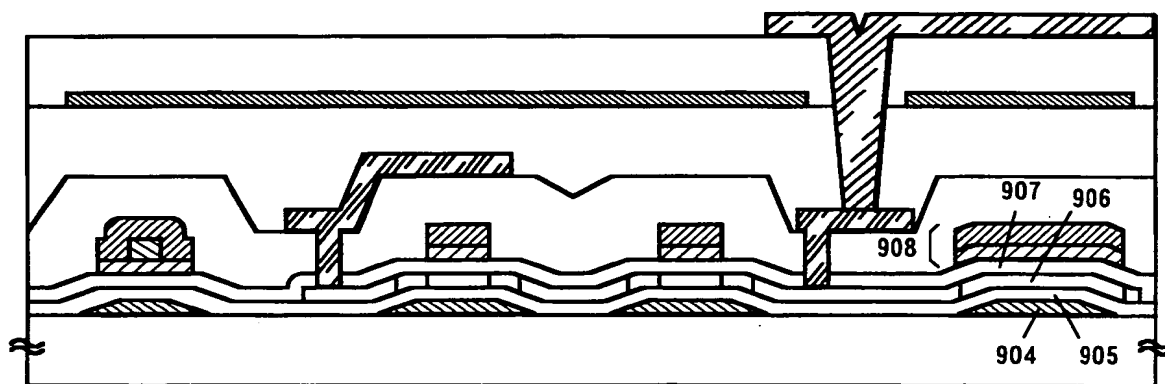
【図9】



(A)

画素TFT部

保持容量部

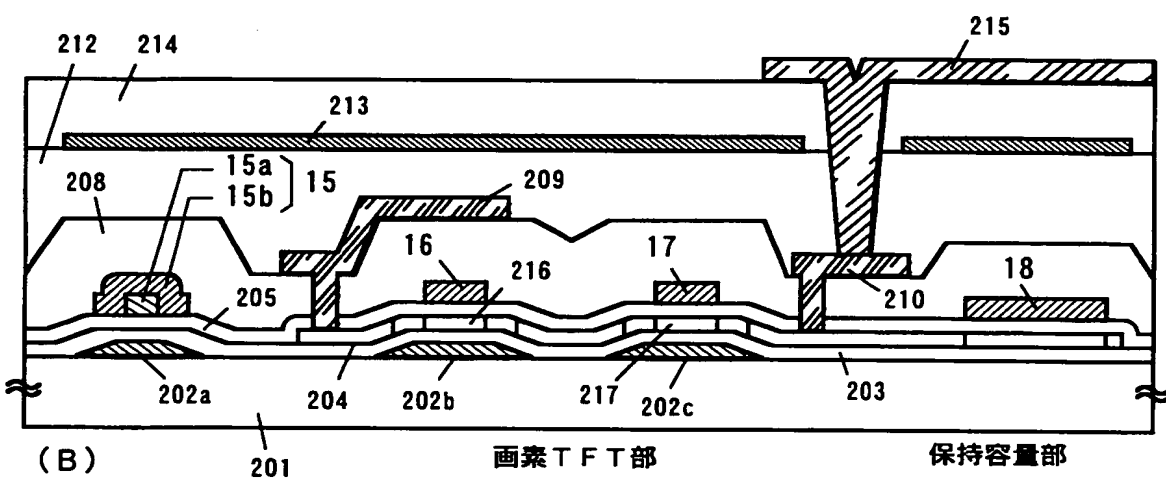
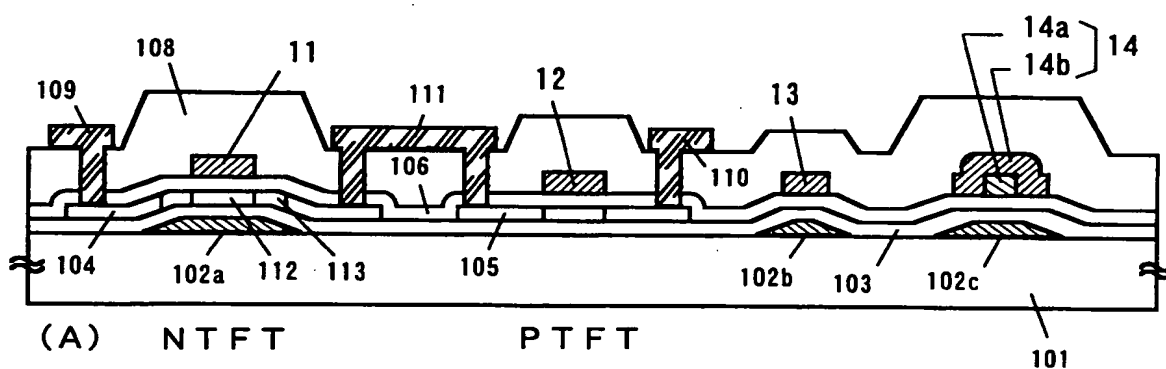


(B)

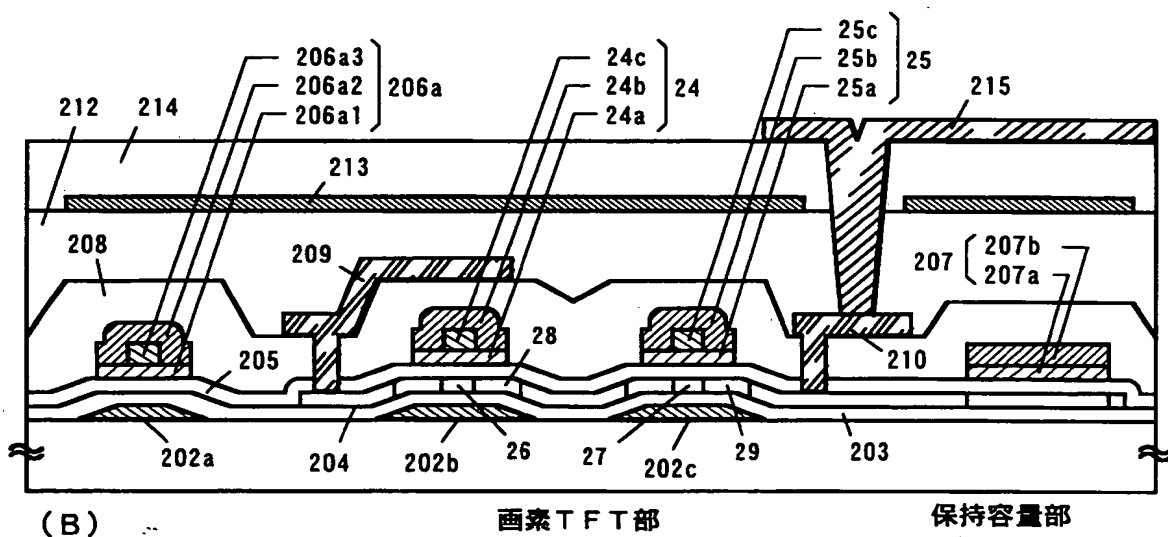
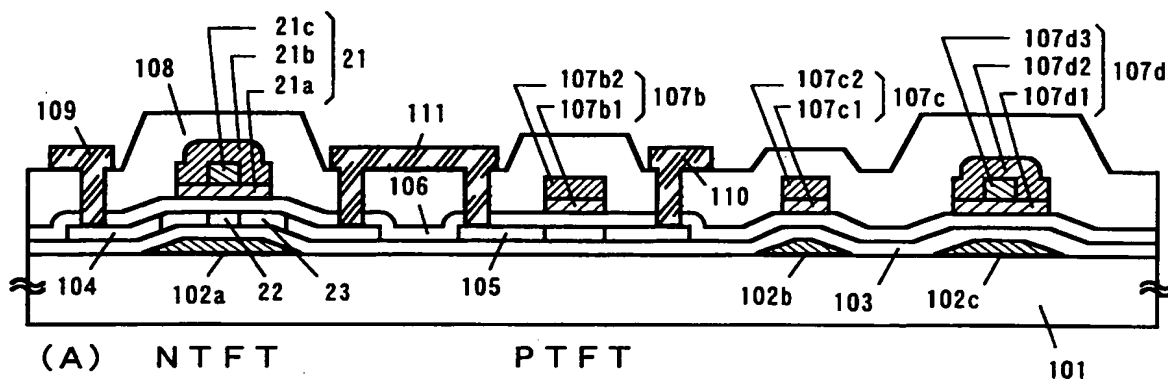
画素TFT部

保持容量部

【図10】

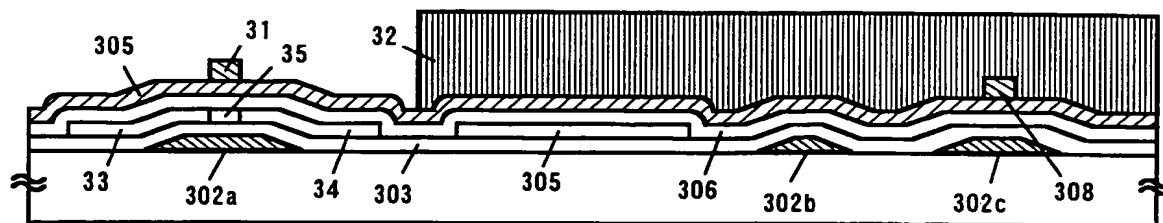


【図11】

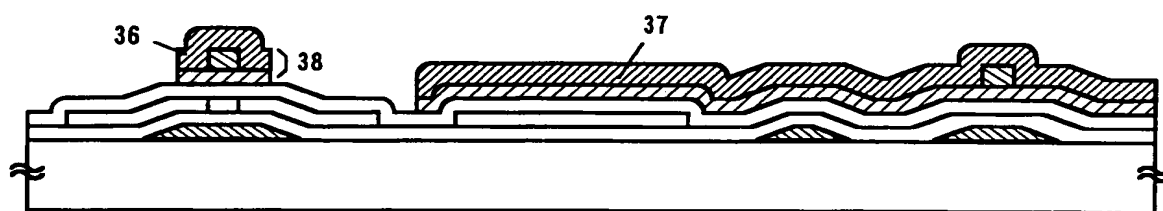


【図12】

リンの添加工程

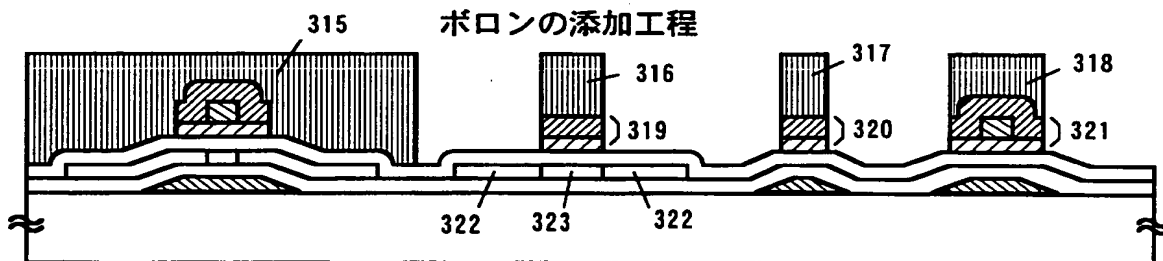


(A)



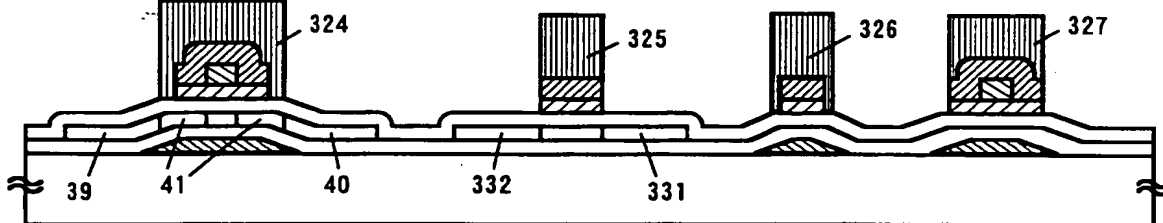
(B)

ボロンの添加工程



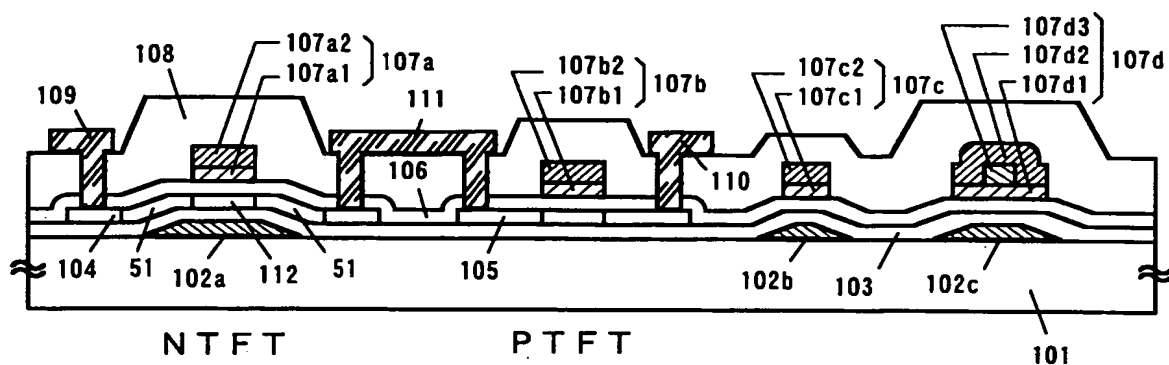
(C)

裏面露光工程、リンの添加工程

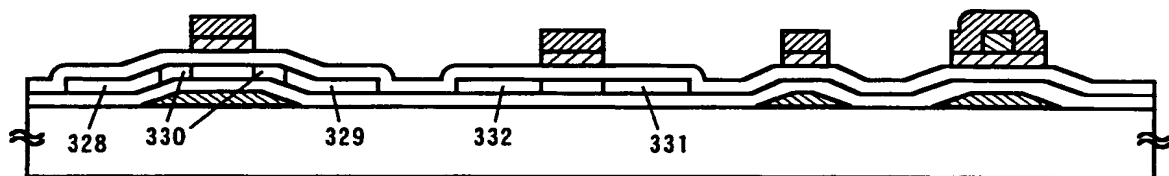


(D)

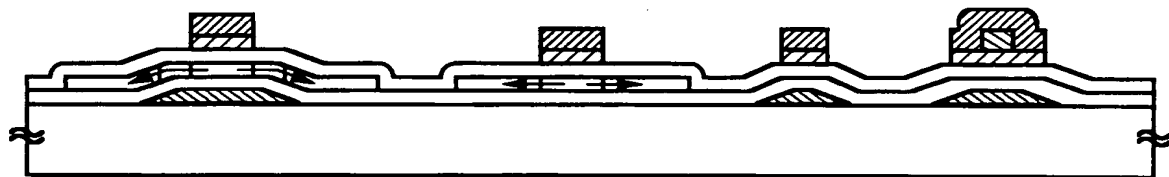
【図13】



【図14】



(A)



(B)

【図15】

